

超高速回路・デバイス技術の 現状と今後の展開

—高速デバイスおよびその要素回路や
応用システム等の関連技術に関する調査—

超高速デバイス・回路技術調査専門委員会編

目 次

1. まえがき	3	3.4 UWBモジュール開発における課題	29
2. 化合物半導体系及びシリコン系超高速 デバイスに関する研究開発動向	3	4. 超高周波ブレイクスルーデバイスの 研究開発動向	30
2.1 シリコン系超高速デバイス	3	4.1 はしがき	30
2.2 化合物半導体系超高速デバイス	15	4.2 カーボンナノチューブトランジスタ	30
3. 超高周波受動デバイスならびに実装技術 に関する研究開発動向	24	4.3 まとめ	32
3.1 UWBの概要	24	5. 応用動向	32
3.2 マイクロ波受動素子の群遅延特性の 評価	27	5.1 RF半導体デバイスの需要動向	32
3.3 UWB用アンテナおよびフィルタ	27	5.2 超高速通信アプリケーション	36
		5.3 次世代イメージング技術	36
		6. あとがき	39

超高速デバイス・回路技術調査専門委員会委員

委員長	本城和彦(電気通信大学)	委員	関昇平(沖電気工業)
幹事	榎木孝知(日本電信電話)		谷野憲之(三菱電機)
	佐藤文彦(NECエレクトロニクス)		堤利幸(明治大学)
	原直紀(富士通)		永田公一(新日本無線)
委員	安部正幸(関西新技術研究所)		中村徹(法政大学)
	栗野浩之(東北大学)		本間紀之(法政大学)
	石橋忠夫(NTTエレクトロニクス)		松本和彦(大阪大学)
	岩井洋(東京工業大学)		岡徹(シャープ)
	大黒達也(東芝)		水谷孝(名古屋大学)
	乙部健二(住友電気工業)		宮本恭幸(東京工業大学)
	近藤将夫(日立製作所)		三輪浩之(ソニー)
	坂口春典(日立電線)		安井孝俊(松下電器産業)

1. まえがき

本報告書は、平成15年10月から平成17年9月までの「超高速デバイス・回路技術調査専門委員会」(委員長: 本城和彦)の調査研究活動をまとめたものである。

高度情報化社会では、必要とするデータを何時でも何処でも選別でき、かつ大量の情報を高速に伝送し処理できることが求められる。このために無線ならびに光ファイバーを用いたネットワーク技術が急速に進展し、高度化したコンピュータ技術と融合してきた。しかしながら、従来右肩上がりて発展してきたこれらの技術にも原理的な壁が立ちはだかっていることを認識しなければならない。現在急速に進展している無線アクセス技術を例にとると、ミリ波からテラヘルツ帯と一見周波数資源に恵まれているように見える。しかし社会生活における無線アクセスに有効に活用できる周波数資源は、電磁波の波長が人間の体の寸法(数cmから2m)と同等かそれより長い数百MHzから数GHz程度となる。これは電磁波の回折伝播特性からくる制約で、これより周波数の高い範囲においては人の影には信号は伝播しない。したがって無線用超高速デバイスへの要求のメインストリームは、これらの限定された周波数領域の有効活用と高品質高速信号伝送との視点から発してくる。具体的には、携帯電話などの移動体通信方式のTDM方式からW-CDMA方式への転換が進展し、さらにはUWBなどの新通信方式の出現で、能動素子に対する線形性の要求、出力電力レベル制御性の要求が強まっている。従来、GaAsFET、化合物HBT、HEMT、SiMOSFET、SiGeHBTなどが移動体通信の分野で用いられてきたが、このような昨今の状況下でのデバイス選択の最適解があらためて問われている。また光通信や高速ディジタル演算で重要となるベースバンドの信号処理においてもHBT、HEMTなどの容量負荷を電流駆動する通常型半導体デバイスでは40~100 Gbpsがほぼ限界と考えられる。これはInP、InGaAs、SiGe等の薄層化した半導体層の電子走行時間、耐圧、およびシート抵抗から来るものである。これを打破する方法としては10~40Gbpsを単位としてWDMなど、光・電子信号処理素子、光・光信号処理デバイスを有効に用いてシステムの多重化する方法と、従来にとらわれない新しいの原理のデバイスの可能性を探ることなどが考えられている。

このような状況の中で、シリコン及び化合物半導体を主体とした超高速デバイスや集積回路の研究開発は今後も活発に行なわれると予想される。さらに従来は脇役とみられていたインダクタやキャパシタなど低損失超高周波波受動素子やアンテナ等を能動素子と一緒に集積化する技術の重要度が増す。デバイスの性能指標も f_T や f_{max} などの遮断特性の指標のみでなく、隣接チャネル漏洩電力などの歪みやダイナミックレンジの尺度での特性付けが、ますます重要になる。高速性を維持した上で多機能高集積化、低コスト

化、低雑音化、低消費電力性を追求することも恒久的、普遍的なテーマとして重要である。そこで、本調査専門委員会は、超高速デバイスおよびそのデバイスを用いた要素回路や応用システム等の関連技術に関し、将来の超高速デバイス研究開発の指針を明らかにすることを目的とする。

2. 化合物半導体系及びシリコン系超高速デバイスに関する研究開発動向

2. 1 シリコン系超高速デバイス

Si系超高速デバイスの性能向上指針を大別すると、

- ① 微細化による信号伝搬距離(MOSのゲート長、バイポーラのベース幅)の縮小、および寄生成分(寄生容量C、寄生抵抗R)のCR時定数の低減、
- ② SiGe/Siヘテロ接合や、high-K/メタルゲートなどの新材料によるバンドエンジニアリング
- ③ 歪み(SiGe/Si格子歪み、SOI、ゲート構造周囲の絶縁膜、素子分離STIなどからの機械的な応力)および結晶面方位・ゲートレイアウト方位などの変更によるMOS反転層移動度の向上、
- ④ 新構造、たとえば、マルチゲート構造による I_{on} 向上などがある。

①に関して、「Sub-10nm平面型Bulk CMOSにおけるS/D直接トンネル電流特性」(NEC、若林整 他、2005年3月電子デバイス研究会)と題して、微細ゲート長CMOSにおけるサブスレシールド領域のリーク電流であるソース・ドレイン間直接トンネル電流に関する実験および計算による解析が報告されている⁽¹⁾。また、「65nmノード用高性能25nmCMOS技術」(富士通 後藤賢一 他、2004年3月電子デバイス研究会)と題して、寄生抵抗/容量の低減のためのエクステンション注入、オフセットスペーサの最適化、短チャネル効果のためのハロー注入の最適化とゲート側壁の低温化、およびチャネル高濃度化による移動度低下対策のゲート絶縁膜の低窒素濃度化とSTI・配線からの応力印加の制御の組み合わせ、というCMOSインテグレーションが報告された⁽²⁾。また、微細化のみに依存しない、半導体材料面からの高性能化アプローチと回路・アーキテクチャからの高性能化の重要性も、「65nm node以降のCMOS技術動向と展望」(東芝稲葉聡、2004年部門大会企画セッション)でも指摘される⁽³⁾など、③との両立が効果的である。回路設計の工夫による高速化の具体例としては、CMOS技術による40Gbps回路の開発が、「超40-Gb/s光通信用CMOS IC」(富士通研 重松寿生 他、2004年度大会企画セッション)で報告されている⁽⁴⁾。②に関しては、「超高速200-GHz SiGe:C HBT技術」(日立富成 達也 他、2004年3月電子デバイス研究会)と題して、日立よりボロン拡散の抑制に有効なSiGe:C合金を選択